

2026 年 4 月 27 日

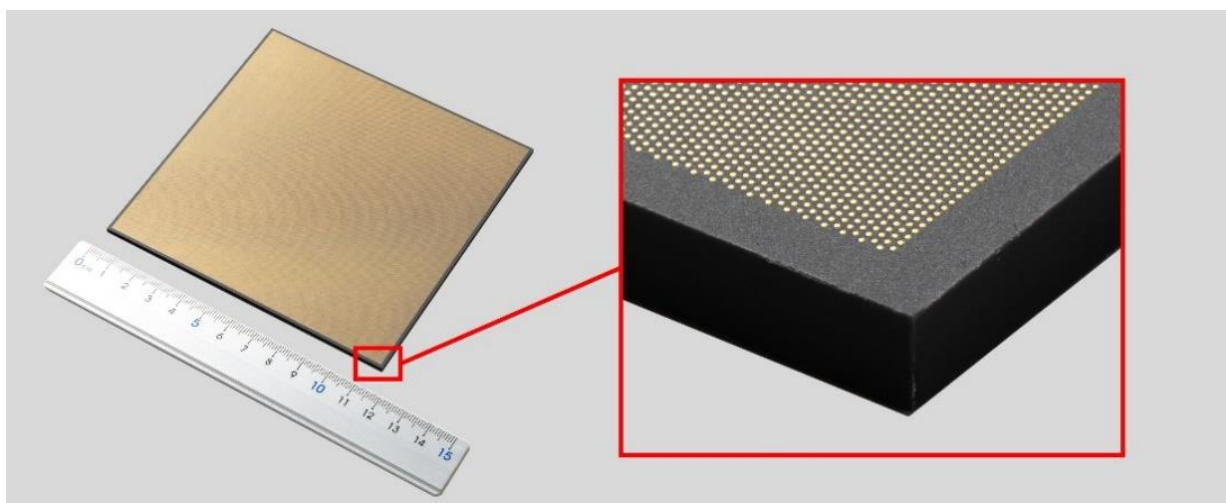
AI データセンター向け先端 xPU^{※1}/スイッチ ASIC 向け 京セラ、多層セラミックコア基板の開発について

京セラ株式会社（代表取締役社長：作島 史朗、以下 京セラ）は、AI データセンターの高度化に伴い大型化が進む xPU やスイッチ ASIC などの先端半導体パッケージ向けに、パッケージ基板の基材となる多層セラミックコア基板の商用化に向けた開発を進めています。

本基板は、高密度配線が可能で基板剛性に優れた独自のセラミック材料を活用することで、先端半導体パッケージ実装時の反りの低減を実現します。

なお、本開発品は、2026 年 5 月 26 日（火）～29 日（金）に米国オーランドで開催される半導体パッケージング技術の国際学会「ECTC2026」にて展示いたします。

※1：CPU、GPU など、AI 処理を担う各種演算用プロセッサ（Processing Unit）の総称



開発中の先端半導体パッケージ向け多層セラミックコア基板

（ビア径：75 μ m、ビアピッチ：200 μ m）

■ 本製品の特長

1. 大型化で顕在化したパッケージ基板の反りを低減する高剛性の多層セラミックコア基板
2. 多層セラミック製造プロセスによるコア基板配線の微細化
3. 各種シミュレーションサポートとカスタム設計対応

■ 開発の背景

近年、生成 AI や大規模言語モデル（LLM）の普及に伴い、世界的にデータセンターの新設・拡張が進んでいます。これを支える xPU やスイッチ用 ASIC などの先端半導体では、高速・大容量通信を実現するため高性能化が進み、2.5D パッケージ型^{※2}を中心にパッケージ基板の大型化・高密度配線化が加速しています。一方、有機コア基板では、大型化に伴う剛性不足による反りの低減や、コア材における配線微細化が課題となっています。このような課題解決のため、当社は、積層セラミックパッケージで培ってきた材料・コア技術を活かし、

高剛性と微細配線を両立するとともに、ビルドアップ層の形成が可能な多層セラミックコア基板の開発に取り組んでいます。

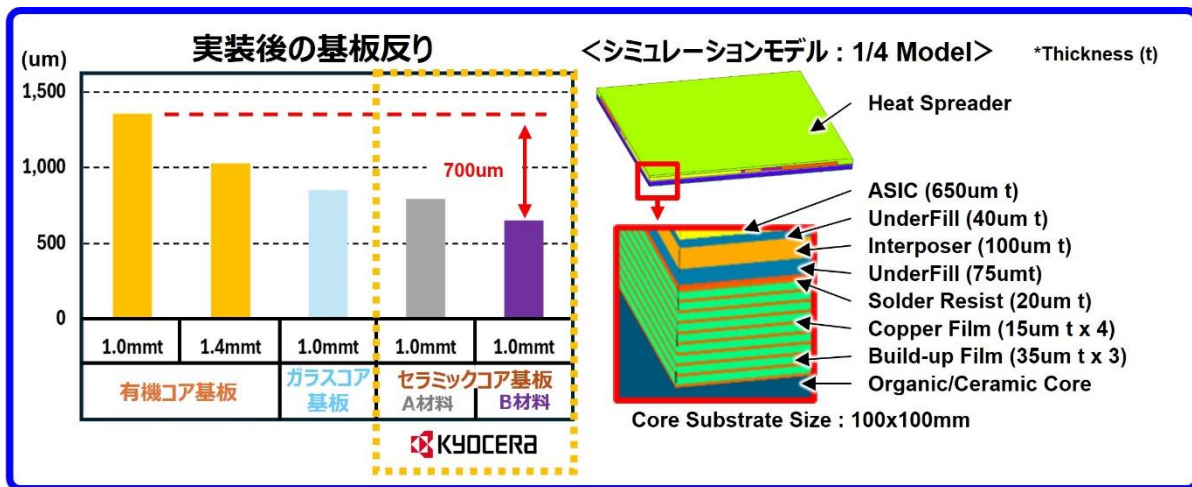
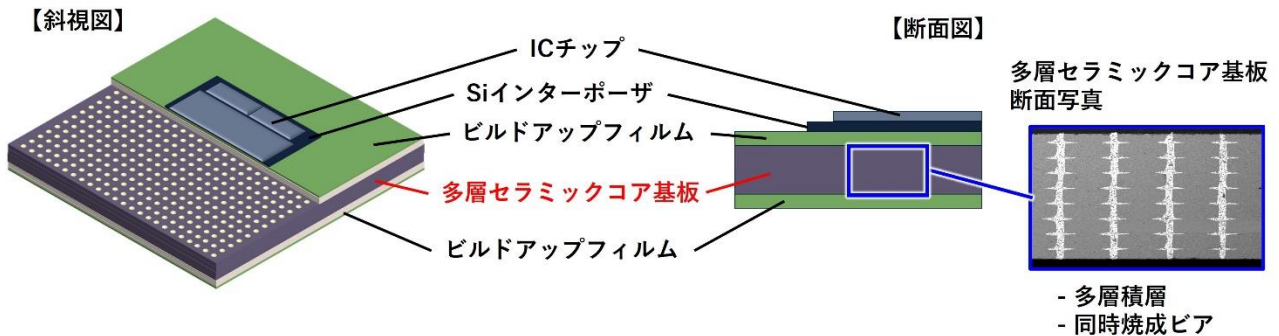
※2：複数のICチップをインターポーザと呼ばれる高密度な中継基板の上に横並びで配置し、微細な配線と垂直方向の貫通電極を用いて高速に接続する実装構造

■特長の詳細

1. 大型化で顕在化したパッケージ基板の反りを低減する高剛性の多層セラミックコア基板

当社の多層セラミックコア基板は、従来の有機コア基板に比べて高剛性で曲げ強度が高いため、各実装プロセスでの反りを低減できます。また、板厚が薄くても同様の効果^{※3}が得られることから、パッケージ基板の薄型化にも貢献します。

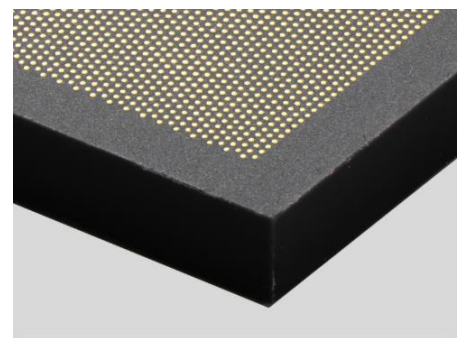
※3：当社シミュレーション結果より（2026年2月時点）



2.5D 実装後の反り量比較とシミュレーションモデル

2. 多層セラミック製造プロセスによるコア基板配線の微細化

セラミック基板では、コア基板の表裏間を電氣的に接続する厚み方向の導体をビアと呼んでいます。このビア形成は、セラミック材料を焼成して固くなる前のやわらかい状態で加工する製造プロセスで行われます。そのため有機コア基板のビア（スルーホール）加工プロセスで採用されているドリル加工などと比べ、微細加工性に優れていることから、従来の有機コア基板において高密度配線化に対する課題とされていたビアの小径化、狭ピッチ化が可能です。



3. 各種シミュレーションサポートとカスタム設計対応

お客様のデバイス仕様や実装条件をベースに、熱応力・電気シミュレーションや、部品実装プロセスを考慮した基板反りシミュレーションなどの対応が可能です。これらの結果を踏まえた積層セラミックコア基板のカスタム設計提案を通じて、お客様の開発効率向上に貢献します。

京セラは今後も、お客様の多様なニーズに応える材料・実装技術の開発を通じて、半導体関連産業の発展に貢献してまいります。

■報道機関からのお問い合わせ

広報室 本社 TEL 075-604-3514(直) / 東京 TEL 03-6364-5503(直)